

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-145147

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H03F 1/32  
H03F 3/189

(21)Application number : 08-304437

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 15.11.1996

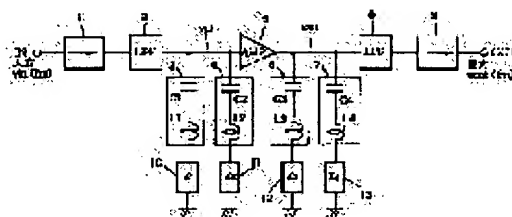
(72)Inventor : MITAMURA SEIICHIRO

## (54) LOW-DISTORTION AMPLIFIER CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a low-distortion amplifier circuit simple in circuit configuration.

SOLUTION: Resonance circuits 3, 6 have a resonance frequency twice an input signal frequency  $f_m$ , and resonance circuits 4, 7 have a resonance frequency thrice an the frequency  $f_m$ . A 2nd harmonic component outputted from an amplifier 5 is given to a load circuit 12 through the resonance circuit 6, and a 3rd harmonic component is given to a load circuit 13 via the resonance circuit 7. The load circuit 12 delays the 2nd harmonic component and reflects the delayed component toward the resonance circuit 6, and the load circuit 13 delays the 3rd harmonic component and reflects the delayed component toward the resonance circuit 7. The delay times above are selected so that the harmonic component from the amplifier 5 and the harmonic components returned from the resonance circuits 6, 7 are in opposite phase, and the distortion components are cancelled. Furthermore, the 2nd harmonic component given to an input side of the amplifier 5 is reinjected to the amplifier 5, the resonance circuit 3, and the a circuit 10 and the 3rd harmonic component is reinjected to the amplifier 5 the resonance circuit 4 and the load circuit 11, so that a distortion component generated from the amplifier 5 is minimized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-145147

(43)公開日 平成10年(1998) 5月29日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 3 F 1/32  
3/189

H 0 3 F 1/32  
3/189

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号 特願平8-304437

(22)出願日 平成 8 年(1996)11月15日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門 1 丁目 7 番12号

(72)発明者 三田村 誠一郎

東京都港区虎ノ門 1 丁目 7 番12号 沖電気  
工業株式会社内

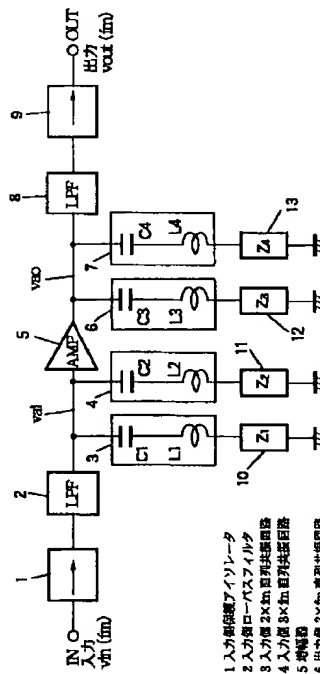
(74)代理人 弁理士 前田 実

(54)【発明の名称】 低歪増幅回路

(57)【要約】

【課題】 回路構成の簡単な低歪増幅回路を提供する。

【解決手段】 共振回路 3、6は入力信号周波数  $f_m$  の2倍の共振周波数を有し、共振回路 4、7は  $f_m$  の3倍の共振周波数を有する。増幅器 5から出力された2倍高調波成分は共振回路 6を通過して負荷回路 12に入力され、3倍高調波成分は共振回路 7を通過して負荷回路 13に入力される。負荷回路 12は2倍高調波成分を遅延して共振回路 6に反射し、負荷回路 13は3倍高調波成分を遅延して共振回路 7に反射する。上記の遅延時間を増幅器 5からの高調波成分と共振回路 6および7から戻る高調波成分とが逆相となるように設定し、歪成分を相殺させる。また、増幅器 5の入力側に流出した2倍高調波成分は共振回路 3と負荷回路 10により、また3倍高調波成分は共振回路 4と負荷回路 11によりそれぞれ増幅器 5の発生歪成分が最小となるように増幅器 5に再注入される。



## 【特許請求の範囲】

【請求項1】 入力信号を増幅するための増幅器と、直列接続した第1のコンデンサと第1のコイルからなり、一端を前記増幅器の入力端子に接続した第1の共振回路と、前記第1の共振回路の他端に接続する第1の負荷回路と、直列接続した第2のコンデンサと第2のコイルからなり、一端を前記増幅器の入力端子に接続した第2の共振回路と、前記第2の共振回路の他端に接続する第2の負荷回路と、直列接続した第3のコンデンサと第3のコイルからなり、一端を前記増幅器の出力端子に接続した第3の共振回路と、前記第3の共振回路の他端に接続する第3の負荷回路と、直列接続した第4のコンデンサと第4のコイルからなり、一端を前記増幅器の出力端子に接続した第4の共振回路と、前記第4の共振回路の他端に接続する第4の負荷回路とを有し、前記第1および第3の共振回路の共振周波数は、前記入力信号周波数の2倍の周波数であり、前記第2および第4の共振回路の共振周波数は、前記入力信号周波数の3倍の周波数であり、前記各負荷回路は、対応する共振回路を通過してきた信号成分を所定時間遅延させて反射することを特徴とする低歪増幅回路。

【請求項2】 入力信号を増幅するための増幅器と、直列接続した第1のコンデンサと第1のコイルからなり、一端を前記増幅器の入力端子に接続した第1の共振回路と、前記第1の共振回路の他端を終端する第1の抵抗と、直列接続した第2のコンデンサと第2のコイルからなり、一端を前記増幅器の入力端子に接続した第2の共振回路と、前記第2の共振回路の他端を終端する第2の抵抗と、直列接続した第3のコンデンサと第3のコイルからなり、一端を前記増幅器の出力端子に接続した第3の共振回路と、前記第3の共振回路の他端を終端する第3の抵抗と、直列接続した第4のコンデンサと第4のコイルからなり、一端を前記増幅器の出力端子に接続した第4の共振回路と、前記第4の共振回路の他端を終端する第4の抵抗とを有し、前記第1および第3の共振回路の共振周波数は、前記入力信号周波数の2倍の周波数であり、前記第2および第4の共振回路の共振周波数は、前記入

力信号周波数の3倍の周波数であることを特徴とする低歪増幅回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、通信システムのような高周波（数100MHz～数GHz帯）伝送システムに用いられる低歪増幅回路に関するものである。

## 【0002】

【従来の技術】数100MHz～数GHzの高周波伝送システムにおいては、高周波信号を増幅する際に増幅器において発生する高調波歪み等の非線形歪みが問題となるので、歪成分を除去する機能を有する低歪増幅回路が用いられる。

【0003】従来このような低歪増幅回路としては、フィードフォワード型増幅回路およびプリディストーション型増幅回路があった。フィードフォワード型増幅回路は、主増幅器と補助増幅器とを有し、主増幅器の入出力端子間に歪検出ループを設け、また主増幅器の出力側に補助増幅器を用いた歪除去ループを設け、歪検出ループで検出された主増幅器の歪成分を補助増幅器を介して主増幅器の出力信号に重畳するものであり、補助増幅器の振幅と位相を調整することにより低歪みを実現するものであった。

【0004】またプリディストーション型増幅回路は、主増幅器の入力側にプリディストーション回路を設け、入力信号をプリディストーション回路により予め歪ませて主増幅器に入力することにより、プリディストーション回路で発生させた歪成分によって主増幅器で発生する歪成分を相殺するものであった。

## 【0005】

【発明が解決しようとする課題】しかしながら上記フィードフォワード型増幅回路においては、歪除去ループと歪検出ループを設けるので回路構成が複雑になるという欠点があった。またプリディストーション型増幅回路においては、プリディストーション回路の歪特性と主増幅器の歪特性が完全に同一でないために、改善度を充分とるためにはプリディストーション回路の制御回路の構成が複雑になるという欠点があった。

【0006】本発明はこのような従来の問題を解決するものであり、回路構成が簡単な低歪増幅回路を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記の目的を達成するために本発明の請求項1に記載の低歪増幅回路は、入力信号を増幅するための増幅器と、直列接続した第1のコンデンサと第1のコイルからなり、一端を前記増幅器の入力端子に接続した第1の共振回路と、前記第1の共振回路の他端に接続する第1の負荷回路と、直列接続した第2のコンデンサと第2のコイルからなり、一端を前記増幅器の入力端子に接続した第2の共振回路と、前記第2

の共振回路の他端に接続する第2の負荷回路と、直列接続した第3のコンデンサと第3のコイルからなり、一端を前記増幅器の出力端子に接続した第3の共振回路と、前記第3の共振回路の他端に接続する第3の負荷回路と、直列接続した第4のコンデンサと第4のコイルからなり、一端を前記増幅器の出力端子に接続した第4の共振回路と、前記第4の共振回路の他端に接続する第4の負荷回路とを有し、前記第1および第3の共振回路の共振周波数は、前記入力信号周波数の2倍の周波数であり、前記第2および第4の共振回路の共振周波数は、前記入力信号周波数の3倍の周波数であり、前記各負荷回路は、対応する共振回路を通過してきた信号成分を所定時間遅延させて反射することを特徴とする。

【0008】また請求項2に記載の低歪増幅回路は、入力信号を増幅するための増幅器と、直列接続した第1のコンデンサと第1のコイルからなり、一端を前記増幅器の入力端子に接続した第1の共振回路と、前記第1の共振回路の他端を終端する第1の抵抗と、直列接続した第2のコンデンサと第2のコイルからなり、一端を前記増幅器の入力端子に接続した第2の共振回路と、前記第2の共振回路の他端を終端する第2の抵抗と、直列接続した第3のコンデンサと第3のコイルからなり、一端を前記増幅器の出力端子に接続した第3の共振回路と、前記第3の共振回路の他端を終端する第3の抵抗と、直列接続した第4のコンデンサと第4のコイルからなり、一端を前記増幅器の出力端子に接続した第4の共振回路と、前記第4の共振回路の他端を終端する第4の抵抗とを有し、前記第1および第3の共振回路の共振周波数は、前記入力信号周波数の2倍の周波数であり、前記第2および第4の共振回路の共振周波数は、前記入力信号周波数の3倍の周波数であることを特徴とする。

【0009】

【発明の実施の形態】

第1の実施形態

図1は本発明の第1の実施形態を示す高周波用低歪増幅回路の回路構成図である。この低歪増幅回路の入力信号の主周波数 $f_m$ は、例えば800[MHz]～2[GHz]であり、ここでは $f_m=800$ [MHz]とする。

【0010】図1に示す低歪増幅回路は、入力側保護アイソレータ1と、入力側ローパスフィルタ2と、入力側 $2 \times f_m$ 直列共振回路3（第1の共振回路）と、入力側 $3 \times f_m$ 直列共振回路4（第2の共振回路）と、増幅器5と、出力側 $2 \times f_m$ 直列共振回路6（第3の共振回路）と、出力側 $3 \times f_m$ 直列共振回路7（第4の共振回路）と、出力側ローパスフィルタ8と、出力側保護アイソレータ9と、入力側 $2 \times f_m$ 直列負荷回路（Z1）10（第1の負荷回路）と、入力側 $3 \times f_m$ 直列負荷回路（Z2）11（第2の負荷回路）と、出力側 $2 \times f_m$ 直列負荷回路（Z3）12（第3の負荷回路）と、出力側 $3 \times f_m$ 直列負荷回路（Z4）13（第4の負荷回路）

とを有する。

【0011】入力側保護アイソレータ1は、その入力端子が信号入力端子INに接続され、その出力端子が入力側ローパスフィルタ2の入力端子に接続されており、主周波数 $f_m$ の入力信号 $v_{in}(f_m)$ を入力側ローパスフィルタ2側へ透過するとともに、入力側ローパスフィルタ2側から信号入力端子IN側への信号の逆流を阻止する。また出力側保護アイソレータ9は、その入力端子が出力側ローパスフィルタ8の出力端子に接続され、その出力端子が信号出力端子OUTに接続されており、出力側ローパスフィルタ8の出力信号を信号出力端子OUT側へ透過するとともに、信号出力端子OUTからの信号の流入を阻止する。

【0012】入力側ローパスフィルタ2は、その出力端子が増幅器5の入力端子に接続されており、入力信号 $v_{in}(f_m)$ の通過帯域を制限する。また出力側ローパスフィルタ8は、その入力端子が増幅器5の出力端子に接続され、その入力端子に現れる信号 $v_{ao}$ の通過帯域を制限する。

【0013】増幅器5は、その入力端子に現れる信号 $v_{ai}$ を増幅する。この増幅器5は周波数 $f_m$ の単波長信号を増幅する際に、周波数 $2 \times f_m$ の高調波成分、周波数 $3 \times f_m$ の高調波成分を主とする歪成分を発生させるが、この歪成分は出力側ローパスフィルタ8だけでは完全に除去できない。またこの歪成分は、入力端子にも流出する。

【0014】入力側 $2 \times f_m$ 直列共振回路3（以下、単に $(2f_m)$ 共振回路3と表記する）は、コンデンサC1とコイルL1とを直列接続してなるLC直列共振回路であり、その一端は増幅器5の入力端子に接続されている。この $(2f_m)$ 共振回路3の共振周波数は、入力信号 $v_{in}(f_m)$ の主周波数 $f_m$ の2倍の周波数 $2 \times f_m$ に設定されている。また入力側 $2 \times f_m$ 直列共振回路4（以下、単に $(3f_m)$ 共振回路4と表記する）は、コンデンサC2とコイルL2とを直列接続してなるLC直列共振回路であり、その一端は増幅器5の入力端子に接続されており、その共振周波数は $3 \times f_m$ に設定されている。

【0015】同様に、出力側 $2 \times f_m$ 直列共振回路6（以下、単に $(2f_m)$ 共振回路6と表記する）は、コンデンサC3とコイルL3とを直列接続してなるLC直列共振回路であり、その一端は増幅器5の出力端子に接続されている。この $2f_m$ 共振回路6の共振周波数は、 $(2f_m)$ 共振回路3と同じ $2 \times f_m$ に設定されている。また出力側 $3 \times f_m$ 直列共振回路7（以下、単に $(3f_m)$ 共振回路7と表記する）は、コンデンサC4とコイルL4とを直列接続してなるLC直列共振回路であり、その一端は増幅器5の出力端子に接続されており、その共振周波数は $(3f_m)$ 共振回路4と同じ $3 \times f_m$ に設定されている。

【0016】入力側 $2 \times f_m$ 直列負荷回路10（以下、単に（ $2 f_m$ ）負荷回路10と表記する）は、（ $2 f_m$ ）共振回路3に接続されており、（ $2 f_m$ ）共振回路3を通過してきた信号vaiの成分、すなわち入力信号vin(fm)の2倍高調波成分を主とする歪成分を所定時間遅延させて反射する。この遅延時間は調整できるものとする。またこの（ $2 f_m$ ）負荷回路10のインピーダンスを変化させることにより、（ $2 f_m$ ）共振回路3の等価的なQを調整できる。ここで（ $2 f_m$ ）共振回路3の等価的なQとは、（ $2 f_m$ ）共振回路3と（ $2 f_m$ ）負荷回路10の反射端までのインピーダンスにより構成される共振回路のQを示す。

【0017】入力側 $3 \times f_m$ 直列負荷回路11（以下、単に（ $3 f_m$ ）負荷回路11と表記する）は、（ $3 f_m$ ）共振回路4に接続されており、（ $3 f_m$ ）共振回路4を通過してきた信号vaiの成分、すなわち入力信号vin(fm)の3倍高調波成分を主とする歪成分を所定時間遅延させて反射する。この遅延時間は調整できるものとする。またこの（ $3 f_m$ ）負荷回路11のインピーダンスを変化させることにより、（ $3 f_m$ ）共振回路4の等価的なQを調整できる。

【0018】出力側 $2 \times f_m$ 直列負荷回路12（以下、単に（ $2 f_m$ ）負荷回路12と表記する）は、（ $2 f_m$ ）共振回路6に接続されており、（ $2 f_m$ ）共振回路6を通過してきた信号vaoの成分、すなわち2倍高調波成分を主とする歪成分を所定時間遅延させて反射する。この遅延時間は調整できるものとする。またこの（ $2 f_m$ ）負荷回路12のインピーダンスを変化させることにより、（ $2 f_m$ ）共振回路6の等価的なQを調整できる。

【0019】出力側 $3 \times f_m$ 直列負荷回路13（以下、単に（ $3 f_m$ ）負荷回路13と表記する）は、（ $3 f_m$ ）共振回路7に接続されており、（ $3 f_m$ ）共振回路13を通過してきた信号vaoの成分、すなわち3倍高調波成分を主とする歪成分を所定時間遅延させて反射する。この遅延時間は調整できるものとする。またこの（ $3 f_m$ ）負荷回路13のインピーダンスを変化させることにより、（ $3 f_m$ ）共振回路7の等価的なQを調整できる。

【0020】次に、図1に示す低歪増幅回路の動作を説明する。入力信号vin(fm)は、入力側アイソレータ1および入力側ローパスフィルタ2を介して増幅器5に入力され、増幅器5はこれを増幅する。このとき増幅器5の出力信号vaiには、入力信号vin(fm)の2倍高調波成分および3倍高調波成分を主とする歪成分が含まれている。

【0021】増幅器5の出力側において、上記の2倍高調波成分を主とする歪成分は（ $2 f_m$ ）共振回路6を通過して（ $2 f_m$ ）負荷回路12に入力され、また上記の3倍高調波成分を主とする歪成分は（ $3 f_m$ ）共振回路

7を通過して（ $3 f_m$ ）負荷回路13に入力される。

【0022】（ $2 f_m$ ）負荷回路12は、2倍高調波成分を遅延して（ $2 f_m$ ）共振回路6に反射するが、このときの遅延時間は2倍高調波成分が増幅器5の出力端子に出力されてから、再び増幅器5の出力端子に戻るまでに要する時間が $1 / (2 \times 2 \times f_m)$ となるように設定する。また（ $3 f_m$ ）負荷回路13は、3倍高調波成分を遅延して（ $3 f_m$ ）共振回路7に反射するが、このときの遅延時間は3倍高調波成分が増幅器5の出力端子に出力されてから再び増幅器5の出力端子に戻るまでに要する時間が $1 / (2 \times 3 \times f_m)$ となるように設定する。

【0023】これにより、増幅器5の出力端子においては、増幅器5から出力された歪成分の2倍高調波成分の逆相成分が（ $2 f_m$ ）共振回路6から注入され、また3倍高調波成分の逆相成分が（ $3 f_m$ ）共振回路7から注入されて、増幅器5から出力された歪成分が相殺されることとなる。

【0024】また、増幅器5の入力側において、信号vaiに含まれる2倍高調波成分を主とする歪成分は（ $2 f_m$ ）共振回路3を通過して（ $2 f_m$ ）負荷回路10に入力され、信号vaiに含まれる3倍高調波成分を主とする歪成分は（ $3 f_m$ ）共振回路4を通過して（ $3 f_m$ ）負荷回路11に入力される。

【0025】（ $2 f_m$ ）負荷回路10は、上記の2倍高調波成分を遅延して（ $2 f_m$ ）共振回路3に反射し、また（ $3 f_m$ ）負荷回路11は、上記の3倍高調波成分を遅延して（ $3 f_m$ ）共振回路4に反射する。（ $2 f_m$ ）負荷回路10および（ $3 f_m$ ）負荷回路11で反射された歪成分は、（ $2 f_m$ ）共振回路3および（ $3 f_m$ ）共振回路4を介して再び増幅器5に入力され、増幅器5はこれを増幅する。このとき（ $2 f_m$ ）負荷回路10および（ $3 f_m$ ）負荷回路11の遅延時間は、（ $2 f_m$ ）共振回路6および（ $3 f_m$ ）共振回路7を切り離した状態において、増幅器5の出力信号に含まれる歪成分が最も小さくなるように設定する。すなわち、増幅器5に再注入した歪成分の増幅出力が、入力信号vin(fm)の増幅により増幅器5で発生する歪成分を相殺するように設定する。

【0026】このように上記第1の実施形態によれば、増幅器5の入力側および出力側にそれぞれ、共振周波数 $2 \times f_m$ の共振回路と遅延反射のための負荷回路とを直列接続した回路、および共振周波数 $3 \times f_m$ の共振回路と遅延反射のための負荷回路とを直列した回路を設け、増幅器5が出力した2倍高調波成分および3倍の高調波成分を位相反転して増幅器5の出力端子に戻し、また増幅器5の入力端子に現れた2倍高調波成分および3倍高調波成分を増幅器5に再注入することにより、プリディストーション回路および歪除去ループ等の帰還回路を用いない簡単な回路構成で、増幅器5の歪成分を除去する

ことができる。

#### 【0027】第2の実施形態

図2は本発明の第2の実施形態を示す高周波用低歪増幅回路の回路構成図である。この低歪増幅回路の入力信号の主周波数 $f_m$ は、例えば800[MHz]～2[GHz]であり、ここでは $f_m=800$ [MHz]とする。

【0028】図2に示す低歪増幅回路は、入力側保護アイソレータ1と、入力側ローパスフィルタ2と、 $(2 \times f_m)$ 共振回路3と、 $(3 \times f_m)$ 共振回路4と、増幅器5と、 $(2 \times f_m)$ 共振回路6と、 $(3 \times f_m)$ 共振回路7と、出力側ローパスフィルタ8と、出力側保護アイソレータ9と、終端抵抗 $R_1 \sim R_4$ （第1～第4の抵抗）とを有する。

【0029】すなわち図2に示す低歪増幅回路は、図1において、 $(2f_m)$ 負荷回路10、12、および $(3f_m)$ 負荷回路11、13を取り除き、増幅器5の入力側において、 $(2f_m)$ 共振回路3を抵抗 $R_1$ で終端し、 $(3f_m)$ 共振回路4を抵抗 $R_2$ で終端し、また増幅器5の出力側において、 $(2f_m)$ 共振回路6を抵抗 $R_3$ で終端し、 $(3f_m)$ 共振回路7を抵抗 $R_4$ で終端したものである。抵抗 $R_1 \sim R_4$ の抵抗値は、例えば50[Ω]である。ただし歪成分の除去効果は、上記第1の実施形態よりも低い。

【0030】このように上記第2の実施形態によれば、共振周波数が $2 \times f_m$ および $3 \times f_m$ の共振回路を簡略的に抵抗終端することにより、上記第1の実施形態よりさらに簡単な回路構成で、増幅器5の歪成分を（上記第1の実施形態には及ばないながらも）除去することができる。

#### 【0031】

【発明の効果】以上のように請求項1の低歪増幅回路によれば、増幅器が出力した2倍高調波成分および3倍の高調波成分を位相反転して増幅器の出力端子に戻るとともに、増幅器の入力端子に現れた2倍高調波成分および3倍高調波成分を増幅器に再注入することにより、プリディストーション回路および歪除去ループ等の帰還回路を用いずに、回路構成が簡単で安定性に優れた低歪増幅回路を実現することができるという効果がある。

【0032】また請求項2の低歪増幅回路によれば、共振回路を簡略的に抵抗終端することにより、さらに回路構成を簡単にすることができるという効果がある。

#### 【図面の簡単な説明】

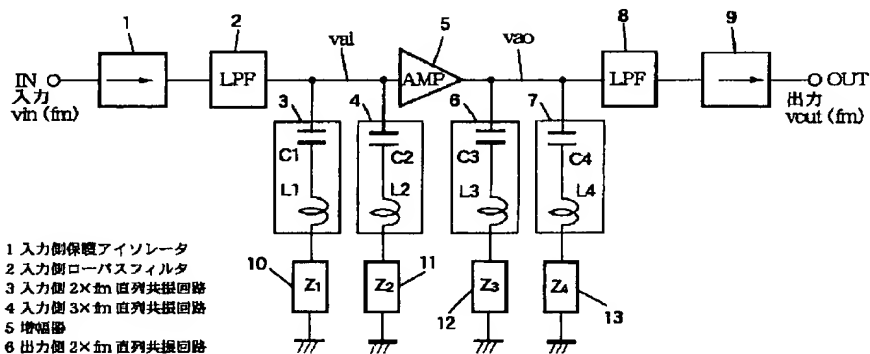
【図1】本発明の第1の実施形態を示す高周波用低歪増幅回路の回路構成図である。

【図2】本発明の第2の実施形態を示す高周波用低歪増幅回路の回路構成図である。

#### 【符号の説明】

1 入力側保護アイソレータ、2 入力側ローパスフィルタ、3 入力側 $2 \times f_m$ 直列共振回路、4 入力側 $3 \times f_m$ 直列共振回路、5 増幅器、6 出力側 $2 \times f_m$ 直列共振回路、7 出力側 $3 \times f_m$ 直列共振回路、8 出力側ローパスフィルタ、9 出力側保護アイソレータ、10 入力側 $2 \times f_m$ 直列負荷回路、11 入力側 $3 \times f_m$ 直列負荷回路、12 出力側 $2 \times f_m$ 直列負荷回路、13 出力側 $3 \times f_m$ 直列負荷回路、C1～C4 コンデンサ、L1～L4 コイル、 $R_1 \sim R_4$  終端抵抗

【図1】



- 1 入力側保護アイソレータ
- 2 入力側ローパスフィルタ
- 3 入力側 $2 \times f_m$ 直列共振回路
- 4 入力側 $3 \times f_m$ 直列共振回路
- 5 増幅器
- 6 出力側 $2 \times f_m$ 直列共振回路
- 7 出力側 $3 \times f_m$ 直列共振回路
- 8 出力側ローパスフィルタ
- 9 出力側保護アイソレータ
- 10 入力側 $2 \times f_m$ 直列負荷回路
- 11 入力側 $3 \times f_m$ 直列負荷回路
- 12 出力側 $2 \times f_m$ 直列負荷回路
- 13 出力側 $3 \times f_m$ 直列負荷回路

本発明の第1の実施形態

【図2】

